

# Измерительный комплекс для проверки ПЛИС Xilinx

**Вопрос проведения входного контроля микросхем возник уже давно. Это связано с проблемой не только поставки контрафактных изделий, но и проведения стандартных проверок при закупке элементной базы. В статье будет рассказано об измерительном комплексе, разработанном для проведения проверки параметров таких сложных микросхем, как ПЛИС.**

**Дмитрий Никишин**

[nikisheen@mail.ru](mailto:nikisheen@mail.ru)

**Алексей Иванов**

[Alexey@jtag.com](mailto:Alexey@jtag.com)

Одним из отечественных предприятий была поставлена задача провести проверку параметров ПЛИС Xilinx — Virtex-7 XC7VX690T-1FFG1157I и XC7VX1140T-1FLG1930I. Для определения работоспособности микросхем было решено создать соответствующую оснастку и выполнить следующие тесты и проверки:

- микросхема включается;
- тест инфраструктуры канала JTAG: по JTAG считывается тип микросхемы (32-битный ID-код), проверяется длина и содержимое регистра команд;
- проверка длины регистра периферийного сканирования;
- микросхема программируется по JTAG;
- проверка целостности связей «кристалл – шарик»;
- проверка отсутствия КЗ между сигнальными портами микросхемы;
- проверка перепутывания связей от кристалла к ножкам;
- сэмплирование состояния на пинах JTAG-компонентов.

При необходимости этот список тестов можно дополнить проверкой работоспособности конфигурационной памяти и трансиверов. Это усложнит схемотехнику оснастки, но расширит ее возможности.

Для проведения тестирования микросхемы XC7VX690T-1FFG1157I была разработана тестовая плата EG-X7V690-1157 (рис. 1).

На плате установлен один слот для ПЛИС и пять 164-контактных разъемов для проведения функционального тестирования микросхемы. В нижней части платы имеется световая индикация, отображающая режим питания платы и микросхемы, а также ход выполнения тестов. В комплекте с основной платой поставляется пять замыкающих плат.

Оснастка EG-X7V690-1157 имеет собственное питание, которое осуществляется через стандартный блок 12 В, 1 А.

Во время проведения функционального тестирования пользователь может одновременно замкнуть все пары контактов и проверить все линии связи. Предусмотрен вариант выборочного замыкания пар контактов, для этого замыкающие платы устанавливаются в любой из пяти разъем по выбору.

Подключение платы к компьютеру осуществляется через JTAG-интерфейс. В качестве устройства сопряжения используются стандартные программаторы: Xilinx HW-USB-II-G или JTAG Technologies-JT 3705/USB Explorer (рис. 2).



Рис. 1. Плата для тестирования ПЛИС Xilinx EG-X7V690-1157

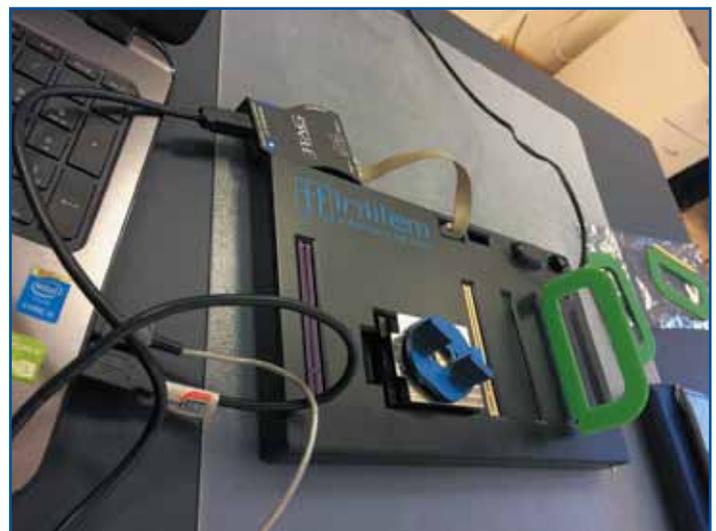


Рис. 2. Программатор



Рис. 3. Плата для тестирования ПЛИС Xilinx EG-X7V1140-1930

Для проведения испытаний микросхемы XC7VX1140T-1FLG1930I была разработана новая плата — EG-X7V1140-1930 (рис. 3).

При ее разработке была изменена концепция проведения испытаний. В отличие от платы EG-X7V690-1157, на которой проверка линий связи проводится в полуавтоматическом режиме (замыкание контактов проводится вручную), на плате EG-X7V1140-1930 проверка выполняется автоматически.

На плате размещены два слота с винтовыми зажимами. Один слот используется для установки эталонной микросхемы (Master), второй — для тестируемой (Slave). Предусмотрена возможность работы только с одной микросхемой. Но при таком режиме возможно провести только идентификацию микросхемы и ее внутренней структуры (рис. 4).

В нижней части платы имеется световая индикация, отображающая режимы питания платы и микросхемы, а также ход выполнения тестов.

Оснастка EG-X7V1140-1930 также имеет собственное питание. Ввиду того что плата предназначена для проверки более мощной ПЛИС, для ее включения используется блок питания 12 В, 3 А.

В ходе проведения испытаний по электрическим параметрам использовалось следующее оборудование и программное обеспечение:

- Программатор JTAG Xilinx HW-USB-II-G (рис. 5) и программное обеспечение Xilinx Vivado 2018.2 (рис. 6).
- Контроллер периферийного сканирования JTAG Technologies JT 3705/USB Explorer и программное обеспечение JTAG ProVision и JTAG Live.

Для проверки целостности связей от кристалла к выводам оказалось удобным использовать технологию периферийного сканирования по стандарту IEEE 1149.1, которую сегодня поддерживает подавляющее число зарубежных и растущее количество отечественных сложных цифровых ИМС (таких как ПЛИС, процессоры, микроконтроллеры и т. п.). Технология позволяет использовать для проверки сдвиговый регистр периферийного сканирования (boundary-scan register), введенный по стандарту IEEE 1149.1 в состав кристалла и подключенный к внешним выводам микросхемы. Во время функционирования регистр сканирования никак не влияет



Рис. 4. Слот с микросхемой

на работу микросхемы, но в процессе тестирования есть возможность задвинуть в него любую последовательность логических данных и выставить их на внешние цепи, а также считать логические данные с внешних цепей и выдвинуть их через JTAG-интерфейс. Этот принцип и применен в рассматриваемых стендах для проверки разварки микросхем.

Реализовать описанные выше проверки с помощью периферийного сканирования на-

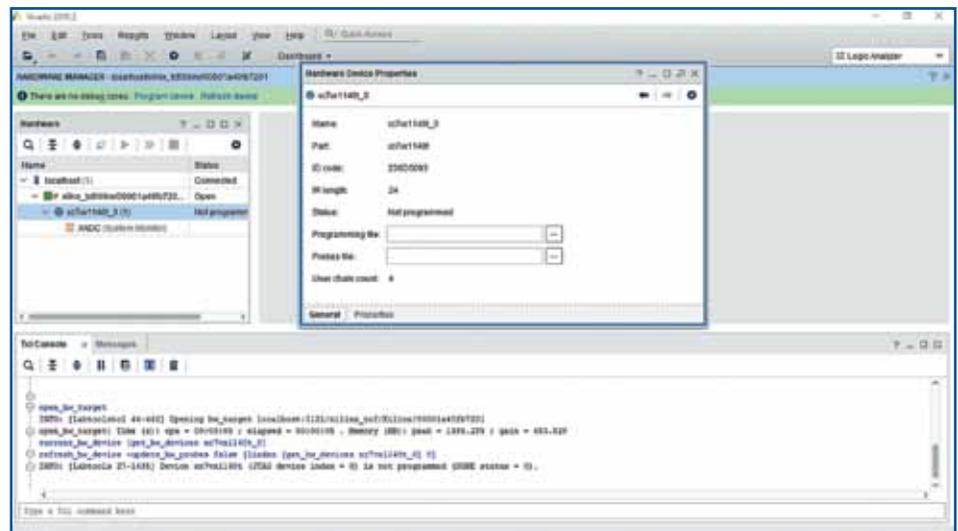


Рис. 6. Xilinx Vivado 2018.2

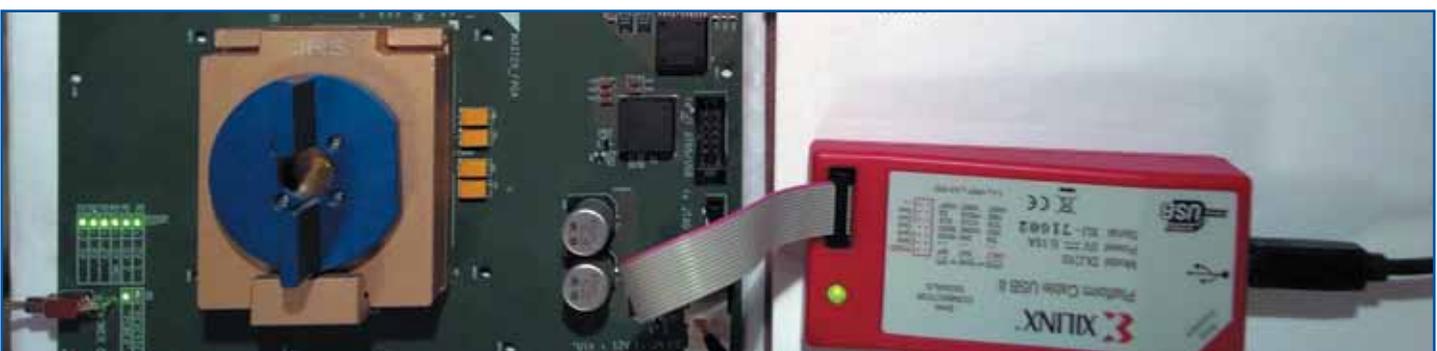
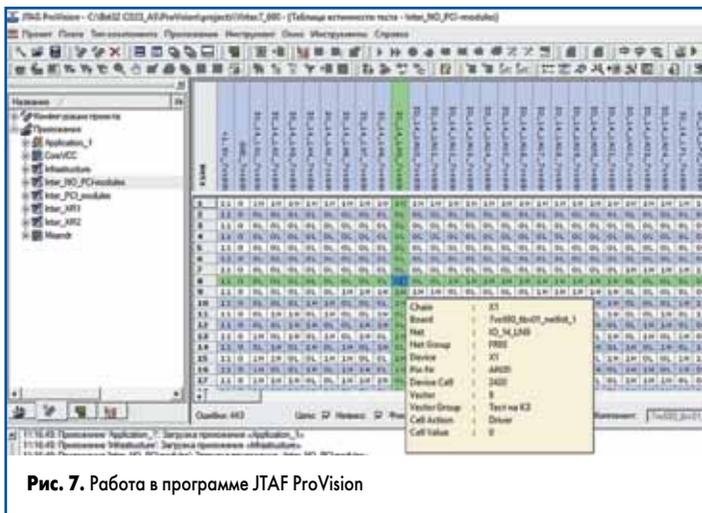


Рис. 5. Программатор JTAG Xilinx HW-USB-II-G



**Рис. 7.** Работа в программе JTAG ProVision

много проще с помощью автоматической генерации тестов (АТРГ). В качестве программы АТРГ использовался программный пакет JTAG ProVision. Это позволило автоматически создать тесты для обоих типов тестовых плат (время создания тестов — несколько десятков минут). При этом тесты, сгенерированные автоматически, распознают дефекты типа «обрыв», «КЗ», «перепутывание», «замыкание сигнального вывода на «землю» или питание». Программа формирует необходимое количество так называемых векторов, пример которых можно увидеть на рис. 7. Вообще программы JTAG ProVision и JTAG Live позволяют автоматически создать тест ID-кода, тест разварки и тест длины регистра сканирования. Также можно дополнительно задействовать утилиту Core Commander, способную работать с блоками внутри ядра микросхемы через JTAG-интерфейс. Core Commander действует внутри как ProVision, так и JTAG Live.

Преимущество использования программных сред Xilinx Vivado и JTAG ProVision также в том, что оба средства очень часто уже имеются на предприятиях: программы Xilinx для разработчиков ПЛИС, JTAG ProVision — для тестирования собранных цифровых плат. То же самое относится и к аппаратному обеспечению.

### Выводы

Представленные решения могут быть использованы на предприятиях радиоэлектронной промышленности для проведения процедуры входного контроля.

**Таблица.** Пример прохождения тестов при входном контроле

Микросхема включается	Пройден
Тест инфраструктуры канала JTAG: по JTAG считывается ее тип XC7VX1140T (32-битный ID-код), проверяется длина и содержимое регистра команд	Пройден
Проверка длины регистра периферийного сканирования	Не пройден
Проверка целостности связей «кристалл — шарик»	Не пройден
Проверка отсутствия КЗ между сигнальными портами микросхемы	Не пройден
Проверка перепутывания связей от кристалла к ножкам	Не пройден
Сэмплирование состояния на пинах JTAG-компонентов	Не пройден

Ввиду того что в настоящее время при поставке микросхем из ЮВА существует большая вероятность получить микросхемы-пустышки, перекорпусированные или перемаркированные микросхемы, провести их проверку сразу же не представляется возможным. Но подобные тестовые комплексы позволяют проверить соответствие маркировки на корпусе приобретенных ПЛИС ее внутреннему содержанию (таблица).

В большинстве случаев программирование ПЛИС происходит в составе готового оборудования или законченного модуля. Описанные решения позволяют настраивать ПЛИС до установки микросхемы в конечное устройство, что можно использовать при разработке прототипов изделий.

В данной статье были описаны платы только для двух микросхем. По техническому заданию заказчика могут быть разработаны платы под другие модели ПЛИС Xilinx, а также микросхемы иных производителей. Алгоритмы и методики проверки ПЛИС не зависят от производителя.

Отметим, что если на предприятии имеется инструментарий для периферийного сканирования плат, его также можно использовать и для входного контроля компонентной базы, не имеющей интерфейса JTAG и поддержки стандарта IEEE 1149.1. Пакет ProVision обеспечен расширенной библиотекой функциональных моделей таких компонентов, как флэш-память, ОЗУ, логика и пр. Эти модели предназначены для тестирования таких компонентов в составе собранных плат: генерируются тесты, использующие соседние компоненты с поддержкой периферийного сканирования, подключенные к компонентам без JTAG. В стенде же для входного контроля можно применить, например, сокет для подключения ПЗУ, выводы которой выходят на IO-модуль, управляемый программой ProVision. У нас есть опыт создания стенда входного контроля флэш-памяти. Среди проверок: считывание ID-кода ПЗУ, проверка шин адреса и данных, запись и чтение данных в разные области памяти. Все эти проверки генерируются автоматически и представляют собой запускаемую последовательность тестов.